

## English Translation

### \* CLAIMS

1. Method for forming a gate pad of TOP ITO construction that Al gate and Cr pad are synchronously connected with ITO(Indium Tin Oxide) in TFT(Thin Film Transistor) liquid display,

is characterized in that:

Further comprising a step for forming a barrier metal between said Al gate and ITO selectively by an electroless plating without an additional mask in order to prevent the contact degradation between said Al gate and ITO.

2. Method for forming the gate pad according to claim 1,  
said barrier metal comprises Ni formed by using the hypophosphite-based Ni electrolyte.

3. Method for forming the gate pad according to claim 2,  
said electroless plating of Ni metal is performed at the condition of temp. 90℃, pH 4.5.

4. Method for forming the gate pad according to claim 1, an activation process of Al surface is added to accelerate the electroless Ni-depositon and the removal of the oxidation film of Al surface before forming the barrier metal layer.

5. Method for forming the gate pad according to claim 4,  
said activation step is performed by a zincate solution process.

6. Method for forming the gate pad according to claim 5,  
said zincate solution process is performed by the solution composed of a zinc oxide and a sodium hydroxide as the main components.

7. Method for forming the gate pad according to claim 6,  
said solution is further composed of Zn, Fe, Cu and Ni ions to promote a nuclear  
creation.

8. Method for forming the gate pad according to claim 4,  
said activation step is performed by using a palladium(Pd) solution.

9. Method for forming a gate pad according to claim 1,  
N<sub>2</sub> plasma process is further added to remove the residue remaining in another  
region except the barrier metal, after forming the barrier metal by means of the  
electroless plating.

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>8</sup> G02F 1/133	(45) 공고일자 1999년01월15일
(21) 출원번호 특1995-043201	(11) 등록번호 특0161462
(22) 출원일자 1995년11월23일	(24) 등록일자 1999년10월24일
	(35) 공개번호 특1997-028655
	(43) 공개일자 1997년06월24일

(73) 특허권자 Portefes	삼성전자주식회사 김광호 (Samsung Electronics Co., Ltd.)
(72) 발명자 송진호	경기도 수원시 팔달구 매탄동 416번지
	경기도 성남시 분당구 서현동 호자촌 미래타운아파트 804-2101
	김원주
	서울특별시 송파구 송파동 한양아파트 5-706
(74) 대리인	이영필, 권석훈, 노민식

KIM, Kwang-ho

특허청 : 관공청

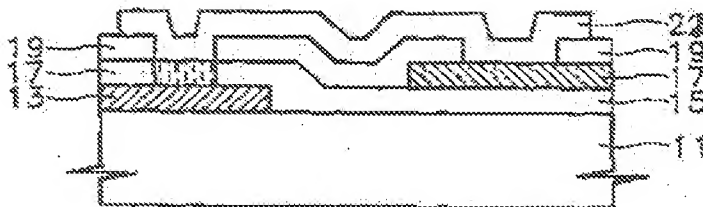
(54) 액정 디스플레이에서의 게이트 패드 형성방법

요약

무전해 도금법(Electroless Plating)을 이용하여 알루미늄(Al) 게이트와 ITD(Indium Tin Oxide)와의 접촉 불량(Contact Degradation)을 방지할 수 있는 액정 디스플레이의 게이트 패드 형성방법이 개시된다.

본 발명은 TFT LCD에서의 Al 게이트와 ITD와의 접촉 불량을 방지하기 위하여, 후가의 마스크 사용없이 무전해 도금법(Electroless Plating)을 이용하여 상기 Al과 ITD와의 사이에 선택적으로 강착 금속을 형성시키는 단계를 더 포함한다. 상기 무전해 도금은 치아민산염을 기본으로 하는(hypophosphite-based) 비 전해질을 사용하는 zincate solution 처리에 의해 수행된다.

도면



발명자

[발명의 명칭]

액정 디스플레이에서의 게이트 패드 형성방법

[도면의 간단한 설명]

제1도는 현재 LCD 분야에서 추천되고 있는 6 Mask 프로세스의 아키텍처를 나타낸 공정 흐름도이다.

제2도 내지 제7도는 본 발명에 의한 액정 디스플레이의 게이트 패드 형성방법을 단계별로 순차적으로 도시한 공정 단면도이다.

[발명의 상세한 설명]

본 발명은 액정 디스플레이(Liquid Crystal Display; 이하, LCD라 약함)의 제조방법에 관한 것으로서, 보다 상세하게는 무전해도금법(Electroless Plating)을 이용하여 알루미늄(Al) 게이트와 ITD(Indium Tin Oxide)와의 접촉 불량(Contact Degradation)을 방지할 수 있는 액정 디스플레이의 게이트 패드 형성방법에 관한 것이다.

최근 표시장치로서 TFT(Thin Film Transistor)를 스위칭 소자로 사용하는 LCD가 주목을 받고 있다. LCD는 가볍고 얇으며 소비전력이 좋아 노트북 PC 등 휴대용 제품을 중심으로 시장을 넓혀가고 있다.

차세대 표시장치로서 무광을 나타내고 있는 LCD는 공정 단순화 측면에서, 마스크 수를 줄이기 위하여 더

러 가지 방법들이 시도되고 있는 실정에 있다.

현재, LCD 분야에서 시도되고 있는 'Less Mask' 공정 개념은 6 마스크를 의거하여 추진되고 있다.

제1도는 6 Mask 프로세스의 대략적치를 나타낸 공정 흐름도로서, 기존의 Top ITD 구조와 7 Mask 공정은 달리, 마스크 #6의 공역에 공역에서 패시베이션 막과 게이트 절연막의 SIN을 동시에 개구시키고 ITD를 사 용하여 이미 형성된 Cr-ITO와 Si 게이트를 연결시키는 방법으로서, Cr-ITO 및 Si-ITO 분별이 동시에 형 성되게 된다.

그러나, 상술한 6 Mask 공정은 다음과 같은 문제점을 안고 있다.

즉, 상기 Si-ITO 접속 부위에서의 SiO<sub>2</sub> 형상으로 인한 접속 불량(Contact Degradation)이다.

여러한 Si-ITO 접속제한 문제는 SiO<sub>2</sub> 기지는 불성 자체의 특성으로 인해 순수 알루미늄(pure Al)을 일루 미늄 합금(Al alloy)으로 대체하더라도 상기 SiO<sub>2</sub>의 형상을 억제할 수 없다.

따라서, 현상의 방법은 마스크 수를 늘리지 않으면서 Si와 ITD와의 직접 접촉을 막는 것이다.

본 발명의 목적은 추가의 마스크 사용없이 무전해 도금(Electroless Plating)을 이용하여 알루미늄(Al) 게이트와 ITD(Indium Tin Oxide)와의 접속 불량(Contact Degradation)을 방지할 수 있는 특정 디스플레이 의 게이트 패드 형성방법을 제공하는데 있다.

상기 목적을 달성하기 위하여 본 발명은 TFT(Thin Film Transistor)형 디스플레이(LCD)에서의 알루미늄 (Al) 게이트와 Cr-ITO를 ITD(Indium Tin Oxide)로 동시에 접속시키는 Top ITD 구조의 게이트 패드 형성 방법에 있어서,

상기 Si와 ITD와의 접속 불량(Contact Degradation)을 방지하기 위하여, 추가의 마스크 사용없이 무전해 도금방법(Electroless Plating)을 이용하여 상기 Si와 ITD와의 사이에 선택적으로 금속 접속을 형성시키 는 단계를 포함하는 것을 특징으로 한다.

바람직하게, 상기 장벽금속은 치아민산염을 기반으로 하는 (hypophosphite-based) Ni 전해액을 사용하여 형성된 비로 이루어지며, 상기 Ni 금속의 무전해 도금 조건은 약 90°C, 4.5 시간 것을 특징으로 한다.

또한, 상기 장벽금속 형성 전, Si 표면의 자연산화막 제거 및 무전해 Ni를 용해할 목적으로 Si 표면을 활성화(Activation)시키는 zincate solution 용액을 더 포함하며, 이 용액은 산화아연(Zinc Oxide)과 수산화나트륨(Sodium Hydroxide)을 주성분으로 포함하고, 형성성 용액을 위한 아연, 철, 구리, 및 니켈 미량용을 더 포함하는 것을 특징으로 한다.

또한, 상기 절연과 단계를 할라툼(H<sub>2</sub>) 용액을 사용하여 수행할 수 있다.

바람직하게, 상기 무전해 도금에 의한 장벽금속 형성 후, 상기 장벽금속 이외의 영역에 전도할 수 있는 잔류물(residue) 제거를 위하여, H<sub>2</sub> 플라스마 처리를 추가할 수도 있다.

본 발명에 의하면, 무전해 Ni를 도금방법을 이용하여 Si와 ITD와의 계면에 Ni 장벽금속을 형성함으로써 Si-ITO 분별을 분할(Degradation)을 방지할 수 있다. 그 결과, 접속 저항 증가없이 Top ITD 구조의 6 마 스크 공정을 완성하여 제공할 수 있다.

이하, 본 발명의 실시예를 첨부도면을 참조하여 보다 상세히 설명한다.

제2도 내지 제7도는 본 발명에 의한 특정 디스플레이의 게이트 패드 형성방법을 단계별로 순차적으로 표 시한 순서 단면도로서, 제2도의 무전해 도금과자는 불성의 방법과 동일하다.

제2도를 참조하여, 무전해 Ni(11)상에 알루미늄 게이트(13) 패턴을 형성한 후, 결과를 전면에 SiO<sub>2</sub> 으로 이루어진 게이트 절연막(15)을 증착한다.

이후, 제2도에 도시한 바와 같이, 외부 전극화로(19)와의 연결을 위한 브릿 패드(17)를 형성한다.

제4도는 결과를 전면에 패시베이션을 위한 필라막(19)을 도포한후의 단면도이다.

제5도는 무전해 도금을 나타낸 것으로서, 소정의 광량과 열(79)을 마스크로 이용하여 상기 패시베이션 필라막(19)과 게이트 절연막(15)을 동시에 개구한다.

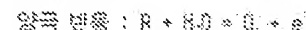
제6도는 무전해 도금을 이용하여 상기 노출된 Si 게이트(13) 위에 선택적으로 장벽금속(20)을 형성하는 단계를 나타낸다.

도금이란 금속 이온을 포함한 용액으로부터 금속 이온을 전압시켜 피도금체 표면에 금속 피막을 형성시키 는 것을 말한다. 이러한 도금에는 전기 도금(Electroplating), 무전해 도금(Electroless plating), 치환 도금(Displacement plating)을 크게 세가지 분야로 나누어진다.

제거의 도금방법은 전자의 공급원에 따라 분류된다.

본 발명에서 사용되는 상기 무전해 도금은 용액속에 용해하는 전해질의 전기 화학적 포텐셜이 금속 이온 에 비하여 작다는 특성을 이용한 것으로, 두 용액이 용해하는 용액에서 전해질은 전자를 내어 용액에서 산화되고, 이 전자를 금속 이온이 받아서 용해하여 도금이 되는 것이다.

즉, 무전해 도금 반응의 구동력(driving force)을 이용한 것이다. 다음과 같은 반응식으로 표현 할 수 있다.





첨가물 3

제2항에 있어서, 상기 제 1층의 무전해 도금 조건을 약 80℃, 4.5 리터의 것을 특징으로 하는 게이트 필드 형성방법.

첨가물 4

제1항에 있어서, 상기 전해액에 활성 전, 시 표면의 자연산화물 제거 및 무전해 Ni를 포함하는 용액에 용해시켜서, Si 표면을 활성화(Activation)시키는 단계를 부가한 것을 특징으로 하는 게이트 필드 형성방법.

첨가물 5

제4항에 있어서, 상기 활성화 단계는 zincate solution 용액으로 수행됨을 특징으로 하는 게이트 필드 형성방법.

첨가물 6

제4항에 있어서, 상기 zincate solution 용액은 산화아연(Zinc Oxide)과 수산화나트륨(Sodium Hydroxide)을 주성분으로 포함하는 용액으로 수행됨을 특징으로 하는 게이트 필드 형성방법.

첨가물 7

제4항에 있어서, 상기 전해액은 활성성 첨제를 위해 아연, 철, 구리, 및 니켈 이온들을 더 포함하는 것을 특징으로 하는 게이트 필드 형성방법.

첨가물 8

제4항에 있어서, 상기 활성화 단계를 플라즈마(Plasma) 용액을 사용하여 수행하는 것을 특징으로 하는 게이트 필드 형성방법.

첨가물 9

제1항에 있어서, 상기 무전해 도금에 의한 전해액에 활성 전, 시 표면의 자연산화물 제거 및 무전해 Ni를 포함하는 용액에 용해시켜서, Si 표면을 활성화(Activation)시키는 단계를 부가한 것을 특징으로 하는 게이트 필드 형성방법.

도면

도면 1

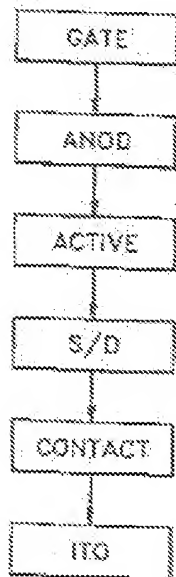


FIG. 2



FIG. 3

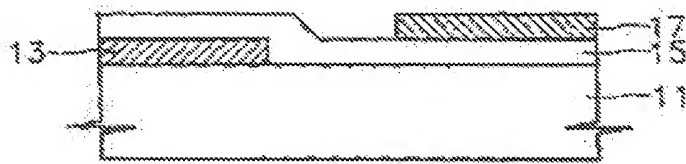


FIG. 4

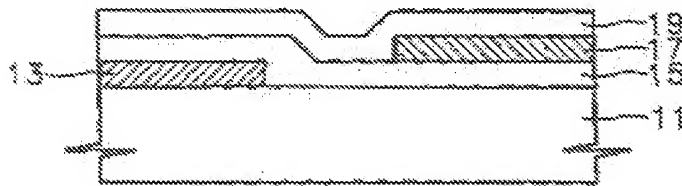


FIG. 5

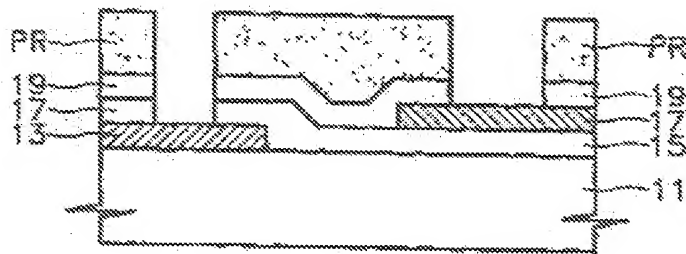


Fig. 6

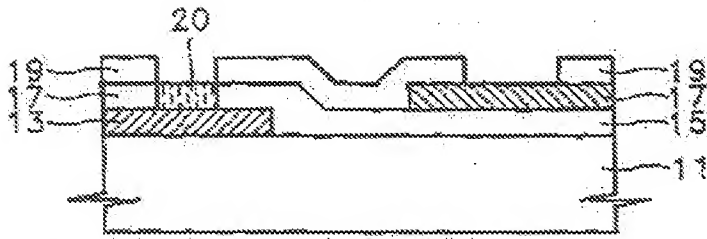


Fig. 7

